

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

011594209 \*\*Image available\*\*

WPI Acc No: 1998-011337/199802

XRAM Acc No: C98-004106

XRPX Acc No: N98-008948

Manufacture of semiconductor device comprising a number of transistors  
e.g. LCD - where laser beam has edge line directions on irradiated region  
on amorphous semiconductor film which are not perpendicular to a channel  
width region and a channel length region

Patent Assignee: SANYO ELECTRIC CO LTD (SAOL ); YONEDA K (YONE-I)

Inventor: YONEDA K

Number of Countries: 021 Number of Patents: 007

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 810639	A2	19971203	EP 97303681	A	19970602	199802 B
<b>JP 9321310</b>	A	19971212	JP 96139206	A	19960531	199809
KR 97076045	A	19971210	KR 9722172	A	19970530	199848
US 20020001888	A1	20020103	US 97865476	A	19970529	200207
US 6429100	B2	20020806	US 97865476	A	19970529	200254
EP 810639	B1	20030416	EP 97303681	A	19970602	200328
DE 69720856	E	20030522	DE 620856	A	19970602	200341
			EP 97303681	A	19970602	

Priority Applications (No Type Date): JP 96139206 A 19960531

Cited Patents: No-SR.Pub

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

EP 810639	A2	E	16	H01L-021/20	
-----------	----	---	----	-------------	--

Designated States (Regional): AT BE CH DE DK ES FI FR GB GR IE IT LI LU  
MC NL PT SE

JP 9321310	A		7	H01L-029/786	
------------	---	--	---	--------------	--

KR 97076045	A			G02F-001/136	
-------------	---	--	--	--------------	--

US 20020001888	A1			H01L-021/00	
----------------	----	--	--	-------------	--

US 6429100	B2			C30B-021/36	
------------	----	--	--	-------------	--

EP 810639	B1	E		H01L-021/20	
-----------	----	---	--	-------------	--

Designated States (Regional): DE FR GB NL

DE 69720856	E			H01L-021/20	Based on patent EP 810639
-------------	---	--	--	-------------	---------------------------

Abstract (Basic): EP 810639 A

The production of a semiconductor device is claimed, comprising a number of transistors each including a polycrystal semiconductor film patterned like an island and obtained by polycrystallising an amorphous semiconductor film formed on a substrate. The production comprises irradiating a laser beam onto the amorphous semiconductor film, an insulating film formed on a channel region of the polycrystallised semiconductor film, a gate electrode formed corresponding to the channel region with the insulating film, a source region and a drain region formed in the polycrystallised semiconductor film so that the channel region is formed between the source and drain regions, a source electrode connected to the source region, and a drain electrode

connected to the drain region. The laser beam is irradiated onto the amorphous semiconductor film so that the laser beam has edge line directions on an irradiated region on the amorphous semiconductor film which are not perpendicular to a channel width direction and a channel length direction and a channel width direction of the channel region.

USE - Used in the manufacture of semiconductor devices, particularly a liquid crystal display (LCD) (claimed) and especially to a driver circuit including type LCD in which a thin film transistor (TFT) is formed in a display section and a peripheral section of a panel.

ADVANTAGE - Problems such as lowered contrast at the display area of an LCD, operation errors in the peripheral circuit section etc. are prevented. A linear defective region generated due to unevenness in intensity of the line beam is always positioned at an angle of 45 deg. to the carrier path so that the defective crystallisation region does not cross the polycrystal semiconductor layer. The carrier path is therefore prevented from being completely divided to increase resistance using the defective crystallisation region.

Dwg.4/12

Title Terms: MANUFACTURE; SEMICONDUCTOR; DEVICE; COMPRISE; NUMBER; TRANSISTOR; LCD; LASER; BEAM; EDGE; LINE; DIRECTION; IRRADIATE; REGION; AMORPHOUS; SEMICONDUCTOR; FILM; PERPENDICULAR; CHANNEL; WIDTH; REGION; CHANNEL; LENGTH; REGION

Derwent Class: L03; P81; U11; U12; U14

International Patent Class (Main): C30B-021/36; G02F-001/136; H01L-021/00; H01L-021/20; H01L-029/786

International Patent Class (Additional): H01L-021/336; H01L-021/84

File Segment: CPI; EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

05706510     \*\*Image available\*\*

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.:     09-321310 [JP 9321310 A]

PUBLISHED:     December 12, 1997 (19971212)

INVENTOR(s):   YONEDA KIYOSHI

APPLICANT(s): SANYO ELECTRIC CO LTD [000188] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.:     08-139206 [JP 96139206]

FILED:         May 31, 1996 (19960531)

INTL CLASS:     [6] H01L-029/786; H01L-021/336; G02F-001/136

JAPIO CLASS:   42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.9 (COMMUNICATION -- Other)

JAPIO KEYWORD: R002 (LASERS); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

#### ABSTRACT

PROBLEM TO BE SOLVED: To prevent deterioration of transistor characteristics due to the nonuniform irradiation intensity distribution on an " irradiated region at laser annealing to form a p-type Si of a p-type Si TFTLCD.

SOLUTION: A line beam is irradiated so as to form edge lines in directions S1, S2 at 40 deg. to the vertical or horizontal axis of a substrate to be treated. This results in that a linear poorly crystallized region R' having a grain size not enough increased because of the dispersion of the line beam intensity crosses 45 deg. on a carrier path between the source S and drain D and hence never completely breaks the contacts CT of the source and drain. Thus, a charge moving path CP between the contacts CT is ensured to avoid reducing the ON-current, without passing the poorly crystallized region R'.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-321310

(43) 公開日 平成9年(1997)12月12日

(51) Int. Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 2 7 G
21/336			G 0 2 F 1/136	5 0 0
G 0 2 F 1/136	5 0 0		H 0 1 L 29/78	6 1 7 L

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平8-139206

(22) 出願日 平成8年(1996)5月31日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 米田 清

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

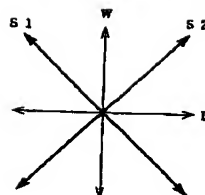
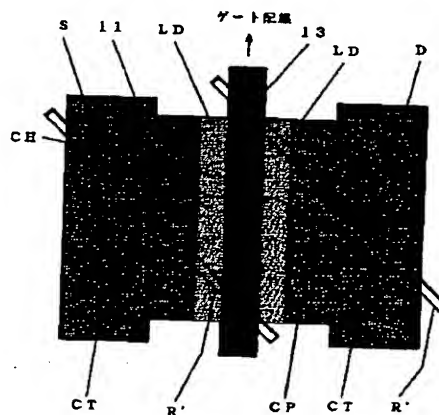
(74) 代理人 弁理士 安富 耕二 (外1名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 p-Si TFTLCDのp-Siを形成するレーザーアニールにおいて、照射領域の強度の不均一に起因したトランジスタ特性の悪化を防止する。

【解決手段】 エッジラインが被処理基板の垂直あるいは水平方向に対して45°の方向S1, S2になるようにラインビームを照射することで、ラインビームの強度のばらつきによりグレイサイズが十分に大きくななかった線状の結晶化不良領域R'がソース・ドレインS, Dを結ぶキャリア移動経路を45°の角度で通過することになる。結晶化不良領域R'がソース・ドレインのコンタクトCT間を完全に分断することがなくなり、結晶化不良領域R'を通過すること無くコンタクトCT間を結ぶ電荷移動経路CPが確保され、ON電流の減少が防がれる。



## 【特許請求の範囲】

【請求項1】 基板上に形成された多結晶半導体膜の状島層と、前記多結晶半導体膜の島状層中のチャンネル領域に絶縁膜を介して重畳配置されたゲート電極と、前記多結晶半導体膜の島状層中のチャンネル領域を挟むように位置するソース領域及びドレイン領域に各々接続されたソース電極及びドレイン電極を有し、前記多結晶半導体膜は、基板上に形成された非晶質半導体膜にレーザービームを照射することにより多結晶化して得られる半導体装置の製造方法において、前記レーザービームは、被照射領域のエッジラインが、前記チャンネル領域のチャンネル長方向あるいはチャンネル幅方向のいずれとも、非直角をなすように照射されることを特徴とする半導体装置の製造方法。

【請求項2】 前記レーザービームは、発振源から照射されたレーザー光を複数のレンズの組み合わせからなる光学系により被照射領域を帯形のライン状に整形して、目標物へ照射するラインビームであることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記ラインビームのライン長方向は、前記チャンネル長方向あるいはチャンネル幅方向と45°の角度を成すことを特徴とする請求項2記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置、特に、液晶表示装置(LCD: liquid crystal display)であって、薄膜トランジスタ(TFT: thin film transistor)を表示部及び周辺部に形成した周辺駆動回路一体型LCDの製造方法に関する。

## 【0002】

【従来の技術】近年、LCDは、小型、薄型、低消費電力などの利点から、OA機器、AV機器等の分野で実用化が進められており、特に、各画素に画像情報の書き換えタイミングを制御するスイッチング素子として、TFTを配置したアクティブマトリクス型は、大画面、高精細の動画表示が可能となるため、各種テレビジョン、パーソナルコンピュータなどのディスプレイに用いられている。

【0003】TFTは、絶縁性の基板上に金属層とともに半導体層を所定形状に形成することにより得られる電界効果型トランジスタ(FET: field effect transistor)である。アクティブマトリクス型LCDにおいては、TFTは、液晶を挟んだ一対の基板間に形成された、液晶を駆動するため各キャパシタンスの一方の電極に接続されている。

【0004】特に、半導体層として、それまで多用されてきた非晶質シリコン(a-Si)に代わって、多結晶シリコン(p-Si)を用いたLCDが開発され、p-Siの結晶粒の形成あるいは成長のためにレーザー光を

用いたアニールが用いられている。一般に、p-Siはa-Siに比べて移動度が高く、TFTが小型化され、高開口率及び高精細化が実現される。また、ゲートセルフアライン構造による微細化、寄生容量の縮小による高速化が達成されるため、n-chTFTとp-chTFTの電氣的相補結線構造即ちCMOSを形成することにより、高速駆動回路を構成することができる。このため、駆動回路部を同一基板上に表示画素部と一体形成することにより、製造コストの削減、LCDモジュールの小型化が実現される。

【0005】絶縁性基板上へのp-Siの成膜方法としては、低温で生成したa-Siをアニールすることによる再結晶化、あるいは、高温状態での固相成長法等があるが、いずれの場合も、900℃以上の高温での処理であった。このため、耐熱性の点で、絶縁性基板として安価な無アルカリガラス基板を使うことができず、高価な石英ガラス基板が必要となり、コストがかかっていた。これに対し、レーザーアニールを用いて、600℃以下の比較的低温でのシリコン多結晶化処理を行うことで、絶縁性基板として無アルカリガラス基板を用いることを可能とする方法が開発されている。このような、TFT基板製造の全工程において処理温度を600℃以下にしたプロセスは、低温プロセスと呼ばれ、低コストのLCDの量産には必須のプロセスである。

【0006】図4は、このようなレーザーアニールを行うためのレーザー光照射装置の構成を示す概念図である。図中、(51)はレーザー発振源、(52, 61)はミラー、(53, 54, 55, 56)はシリンドリカルレンズ、(57, 58, 59, 62, 63)は集光レンズ、(60)はライン幅方向のスリット、(64)は表面にa-Siが形成された被処理基板(70)を支持するステージである。また、(65)は、ライン長方向のスリットで、ステージ(64)に近接して設置されている。

【0007】レーザー光は、例えば、エキシマレーザーであり、レーザー発振源(51)から照射されたレーザー光は、シリンドリカルレンズ(53, 55)及び(54, 56)からなる2組のコンデンサーレンズにより、各々上下左右方向に対して強度の出力分布がフラットな平行光に変形される。この平行光は、図5に示すように、レンズ(58, 59, 62, 63)により一方向に収束されるとともに、図6に示すように、レンズ(57)により他の一方向に引き延ばされて帯形のライン状にされ、被処理基板(70)に照射される。また、スリット(60, 65)は、各々ライン幅及びライン長方向のエッジ部を規定して被照射領域の形状を明瞭にし、有効照射領域の強度を一定にしている。被処理基板(70)を載置したステージ(64)は、(X, Y)方向に可動で、照射ラインビームが、そのライン幅方向に走査され、大面積処理による高スループットでのレーザーア

ニールが実現される。

【0008】

【発明が解決しようとする課題】図7は、図4の装置により実現されるエキシマレーザアニール（ELA）において、被処理基板（70）と、エキシマレーザの照射及び走査方向の関係を示す平面図である。被処理基板（1）は、普通の無アルカリガラス基板であり、その表面には、 $a-Si$ が形成されている。基板（1）は、表示画素がマトリクス状に配置形成される画素部（2）と、画素部（2）周辺に配置形成されるゲートドライバー（3）及びドレインドライバー（4）からなるLCDを構成するアクティブマトリクス基板（5）を6枚含んだマザーガラス基板である。画素部（2）では、液晶を駆動する画素キャパシタの一方の電極である表示電極がマトリクス状に配置形成され、これらに各々TFTが接続形成されることになる。ゲートドライバー（3）は主にシフトレジスタからなり、ドレインドライバー（4）は、主に、シフトレジスタ及びサンプル・ホールド回路からなっている。これらドライバー（3、4）は、CMOS等のTFTアレイにより形成されている。

【0009】この基板（1）に対して、 $a-Si$ を多結晶化して $p-Si$ とするために、ELAが施される。ELAは図4に示される光学系により実現されるラインビームの照射及びその走査であり、その被照射領域のエッジラインを図7の破線Cで示すような、各レーザーパルス所定量ずらししていくことにより走査が行われる。ところが、このELAにより形成された $p-Si$ 膜には、グレインサイズが十分に大きくなり等、結晶性の悪い線状領域が、ライン長方向に生じる問題がある。この時、基板（1）上に形成されているTFTは、そのチャンネル長方向及びチャンネル幅方向は、基板（1）の垂直方向（V）あるいは水平方向（H）のいずれかに一致している。

【0010】基板（1）上に形成されたTFTは、図8に示すように、島状に形成されてなる $p-Si$ （11）のチャンネル領域（CH）上に、ゲート絶縁膜を挟んでゲート電極（13）が配されてなっている。チャンネル領域（CH）の両側は、 $p-Si$ 中に不純物が低濃度及び高濃度にドーピングされたLD領域（LD）、更にその外側はソース及びドレイン領域（S、D）となっている。前述のライン長方向に線状に延びる結晶化不良領域は、TFTの島状に形成されたとき、チャンネル長方向（L）またはチャンネル幅方向（W）に位置することになる。特に、このような結晶化不良領域がチャンネル幅方向（W）に位置した場合、図8のRに示すように、ソース・ドレイン（S、D）間を結ぶキャリアの移動経路を完全に縦断する如くに残る確率が高くなる。結晶化不良領域（R）は高抵抗であるため、このように、ソース・ドレイン（S、D）間に存在していると、ON電流を低下させ、画素部においてはコントラスト比の低下、駆

動回路部においては誤動作等の問題を招く。

【0011】図9に、このようなラインビームの、位置に対する照射光強度分布を示す。スリット（60）により、ライン幅 $a$ が規定され、概ね鋭いエッジを有したフラットな性質となつてはいるが、図のA及びBで示すような、強度が極端に上がったり、下がったりした部分があり、フラットな形状から大きく外れた部分が生じている。Bは、スリット（60）のエッジ部で、波長の短いレーザー光が回折すること起因していると考えられる。また、Aは、主に、光学系を構成するレンズ（53、54、55、56、58、59、62、63）に付着した異物等により、遮光、回折、干渉等が起こって、光強度のムラが生じ、これが更にライン幅方向に集光されるとともに、ライン長方向に引き延ばされて生じたものであると推測される。このように、光のムラを生じさせる異物は、例えば、クリーンルーム内に僅かに存在しても、光学特性へ影響を及ぼし、強度分布のフラットな性質を損なう原因となる。

【0012】図10に、 $a-Si$ をELAにより結晶化して $p-Si$ にする時の、レーザーエネルギーとグレインサイズとの関係を示している。図より、最適なエネルギー $E_o$ を頂点として、これよりもエネルギーが小さくても、また、大きくてもグレインサイズが小さくなることが分かる。少なくともグレインサイズを $r$ 以上にしたい場合、エネルギーは、 $E_d$ から $E_u$ の間の範囲内になければならない。エネルギー $E_o$ の時、図9において、光強度は $I_o$ 、また、エネルギー $E_d$ 及び $E_u$ の時の光強度は、各々 $I_d$ 及び $I_u$ となる。従って、AあるいはBで示されるような、各々光強度が $I_u$ よりも高い部分、あるいは、 $I_d$ よりも低い部分では、グレインサイズは十分に大きくなり、予定の値 $r$ が得られない。

【0013】例えば、図4に示すレーザー光照射装置において、ライン幅が5～10mm、ライン長が80～150mmのラインビームが得られ、このラインビームを、被処理基板（70）上で、ライン幅方向への走査を複数回行うことにより、全体に満遍なくレーザー光が照射され、大面積を処理することができるが、同時に、図9のAあるいはBに当たる領域は、ライン長方向に沿って線状に延びる結晶化不良領域となり、基板（1）上に縞状に生じることになる。

【0014】

【課題を解決するための手段】本発明はこの課題を解決するために成され、基板上に形成された多結晶半導体膜の島状層と、前記多結晶半導体膜の島状層中のチャンネル領域に絶縁膜を介して重畳配置されたゲート電極と、前記多結晶半導体膜の島状層中のチャンネル領域を挟むように位置するソース領域及びドレイン領域に各々接続されたソース電極及びドレイン電極を有し、前記多結晶半導体膜は、基板上に形成された非晶質半導体膜にレーザービームを照射することにより多結晶化して得られる

半導体装置の製造方法において、前記レーザービームは、被照射領域のエッジラインが、前記チャンネル領域のチャンネル長方向あるいはチャンネル幅方向のいずれとも、非直角をなすように照射される構成である。

【0015】これにより、照射レーザービームの強度の不均一により、結晶化が十分に成されない線状領域が、電荷移動経路を縦断することが無くなり、高抵抗の介在によるON電流の減少が防がれる。前記レーザービームは、発振源から照射されたレーザー光を複数のレンズの組み合わせからなる光学系により被照射領域を帯形のライン状に整形して、目標物へ照射するラインビームである構成である。

【0016】ラインビームの走査により実現された高スループットのレーザーアニールにおいて、ラインビームの強度分布の不均一な部分による生じる線状の結晶化不良領域が、チャンネル領域を縦断する如くに位置することが無くなるので、電荷移動経路に高抵抗が介在されることが無く、当該半導体素子のON電流が減少することが防がれる。

【0017】前記ラインビームのライン長方向は、前記チャンネル長方向あるいはチャンネル幅方向と45°の角度を成す構成である。これにより、ラインビーム強度の不均一により生成される線状の結晶化不良領域が、電荷移動経路に対して、常に45°の角度で位置することになり、島状の多結晶半導体層を縦断することが無くなり、結晶化不良領域が電荷移動経路を完全に分断して抵抗が増大するといったことが防がれる。

【0018】

【発明の実施の形態】図1は、本発明の実施の形態である、ELAにおける被処理基板と、ラインビームの照射及び走査方向の関係を示す平面図である。被処理基板(1)は、普通の無アルカリガラス基板であり、その表面には、a-Siが形成されている。基板(1)は、表示画素がマトリクス状に配置形成される画素部(2)と、画素部(2)周辺に配置形成されるゲートドライバー(3)及びドレインドライバー(4)からなるLCDを構成するアクティブマトリクス基板(5)を6枚含んだマザーガラス基板である。画素部(2)では、液晶を駆動する画素キャパシタの一方の電極である表示電極がマトリクス状に配置され、これらに各々TFTが接続形成されることになる。ゲートドライバー(3)は主にシフトレジスタからなり、ドレインドライバー(4)は、主に、シフトレジスタ及びサンプル・ホールド回路からなっている。これらドライバーは、CMOS等のTFTのアレイにより形成されている。

【0019】この基板(1)に対して、a-Siを多結晶化してp-SiとするためにELAが施される。ELAは図4に示される光学系により実現されるラインビームの照射及びその走査である。被照射領域はそのエッジラインを破線C'で示す如く基板の垂直方向(V)ある

いは水平方向(H)のいずれとも45°の角度を成す方向(S1)あるいはこれに直角な(S2)に延びる帯形のライン状である。このラインビームは各照射パルス所定量のオーバーラップをもってずらしていくことで矢印で示す方向に走査される。

【0020】これら方向(S1, S2)に沿ってラインビームを照射した時、図9に示された光強度の大きく変化した部分(A, B)が通過して、グレインサイズが十分に大きくならなかった結晶化不良領域(R')は、基板(1)上の斜め45°の方向に生じることになる。一方、基板(1)上に形成される各TFTは、図2に示されるように、島状に形成されたp-Si(11)中に、ノンドープのチャンネル領域(CH)、ライトドープのLD領域(LD)及びヘビードープのソース・ドレイン領域(S, D)が形成され、チャンネル領域(CH)上には、ゲート絶縁膜を挟んで、ゲート電極(13)が配されている。

【0021】また、図3はTFTが完成された時の断面図である。被処理基板である無アルカリガラスの基板(10)上に、p-Si(11)が島状に形成され、ノンドープのチャンネル領域(CH)、チャンネル領域(CH)の両側にはLD領域(LD)、更にその外側にはソース及びドレイン領域(S, D)が形成されている。p-Si(11)上には、ゲート絶縁膜(12)が被覆され、チャンネル領域(CH)に対応する領域には、ドープトp-Si(13p)及びタングステンシリサイド(13s)等からなるゲート電極(13)が形成されている。このゲート電極(13)上には、CMOS構造における他方の導電形のイオン注入時のカウンタードープを防ぐための注入ストッパー(14)、ゲート電極(13)側壁には、p-Si(11)に注入された不純物がアニールにより横方向へ拡散した時、ゲート電極(13)のエッジを越えてLD領域(LD)が拡大しないように、あらかじめマージンを設けるためのサイドウォール(15)が形成されている。これらを覆う全面には、第1の層間絶縁膜(16)が形成され、第1の層間絶縁膜(16)上には、低抵抗メタルからなるドレイン電極(17)及びソース電極(18)が形成され、各々ゲート絶縁膜(12)及び層間絶縁膜(16)中に形成されたコンタクトホール(CT)を介して、ドレイン領域(D)及びソース領域(S)に接続されている。更に、これらを覆う全面には、平坦化作用のある第2の層間絶縁膜(19)が形成されている。画素部では、第2の層間絶縁膜(19)上には、液晶駆動用の表示電極が形成され、ソース電極(18)上に開口されたコンタクトホールを介してソース電極(18)に接続される。ドレイン及びソース領域(S, D)と、ドレイン電極(17)及びソース電極(18)とのコンタクトは図2において点線で囲まれたコンタクトホール(CT)で行われている。

【0022】このようなTFTは、基板(1, 5)において、そのチャンネル長(L)方向あるいはチャンネル幅(W)方向が垂直方向(V)あるいは平行方向(H)になるように形成されている。従って、図1に示す如く、ラインビームの被照射領域のエッジライン(C')方向(S1, S2)を設定することで、図2において、被照射領域のエッジラインあるいはこれにライン長方向に延びる結晶化不良領域(R')は、TFTのチャンネル長(L)方向あるいはチャンネル幅(W)方向に対して、いずれも45°の角度を成して位置することになる。このため、ラインビームの強度が大きく変化して生じる結晶化不良領域(R')は、チャンネル領域(CH)及びLD領域(LD)を挟んだソース・ドレイン領域(S, D)を結ぶキャリア移動経路を45°の角度をもって斜めに通過することになる。これにより、従来の、図8に示されるような、結晶化不良領域(R)がキャリア移動経路を完全に縦断するように生じることが無くなり、図2に示すように結晶化不良領域(R')は、TFTのチャンネル長(L)方向あるいはチャンネル幅(W)方向に対して、いずれも45°の角度で斜めに位置することになる。このため、結晶化不良領域(R')が、チャンネル領域(CH)及びLD領域(LD)を挟んだソース・ドレイン領域(S, D)間を結ぶキャリア移動経路を完全に分断することが無くなる。例えば、図8において、ソース領域(S)あるいはLD領域(LD)において、ソース及びドレイン(S, D)のコンタクト部(CT)間を完全に分断していた結晶化不良領域(R)は、一部、図2に示すようにコンタクト部(CT)に侵入する。このため、高抵抗の結晶化不良領域(R')を通過しないソース・ドレイン間キャリア移動経路(CP)が確保されるので、ON電流の減少が抑えられる。

【0023】特に、周辺駆動回路においては、チャンネル長5~10 $\mu$ mに対して、チャンネル幅が100~500 $\mu$ mで十分に大きいので、エッジライン(C)の方向を、チャンネル長(L)(チャンネル幅(W))方向に対して45°の角度に設定することで、結晶化不良領域(R')は、必ず、ドレイン及びソースのコンタクト領域(CT)をわたることになるため、高抵抗の結晶化不良領域(R')を通過せずにソース及びドレイン(S, D)のコンタクトホール(CT)間を結ぶキャリア移動経路(CP)が確保されるので、ON電流の減少が防がれる。

【0024】

【発明の効果】以上の説明から明らかな如く、本発明で、絶縁性基板上に形成された非晶質半導体層をレーザーアニールにより再結晶化して得られる多結晶半導体層

を用いた半導体装置の製造方法において、レーザー光の被照射領域のエッジラインが被処理基板の垂直方向あるいは水平方向に対して、非直角、特に45°になるようにしたことにより、エッジラインに平行に生じる線状の結晶化不良領域が、半導体素子に用いられる島状領域のチャンネル長あるいはチャンネル幅方向に対して、斜め方向をもって位置するようになる。このため、ソース・ドレイン間を結ぶ電荷移動経路のうち、結晶化不良領域を通過しない経路が確保され、この経路が高抵抗を介在せずにソース・ドレイン間を結ぶために、ソース・ドレイン間に抵抗の増大が抑えられ、画素部におけるコントラスト比の低下や周辺駆動回路部における誤動作等の問題が防がれる。

【図面の簡単な説明】

【図1】本発明の実施形態にかかる被処理基板とラインビームの被照射領域との位置関係を示す平面図である。

【図2】本発明の実施形態にかかるTFTチャンネル領域と結晶化不良領域との位置関係を示す平面図である。

【図3】TFTの断面図である。

【図4】レーザー光照射装置の構成図である。

【図5】レーザー光照射装置の光学系の構成図である。

【図6】レーザー光照射装置の光学系の構成図である。

【図7】従来の被処理基板とラインビームの被照射領域との位置関係を示す平面図である。

【図8】TFTの平面図である。

【図9】照射レーザー光の強度分布図である。

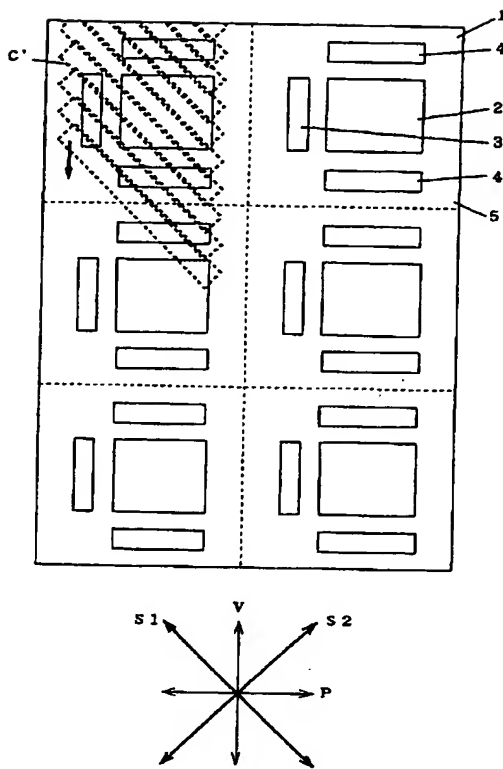
【図10】レーザーエネルギーとグレインサイズの関係図である。

【符号の説明】

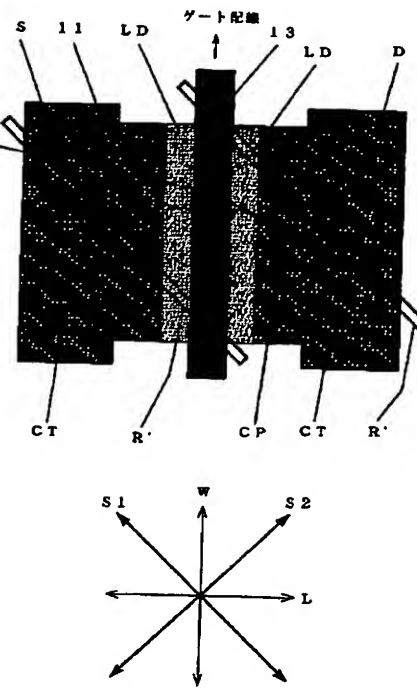
- 1 被処理基板
- 2 画素部
- 3 ゲートドライバー
- 4 ドレインドライバー
- 5 アクティブマトリクス基板
- 10 基板
- 11 p-Si
- 12 ゲート絶縁膜
- 13 ゲート電極
- 17 ドレイン電極
- 18 ソース電極
- CH チャンネル領域
- D ドレイン領域
- S ソース領域
- CT コンタクト部
- C ラインビームのエッジライン
- R 結晶化不良領域



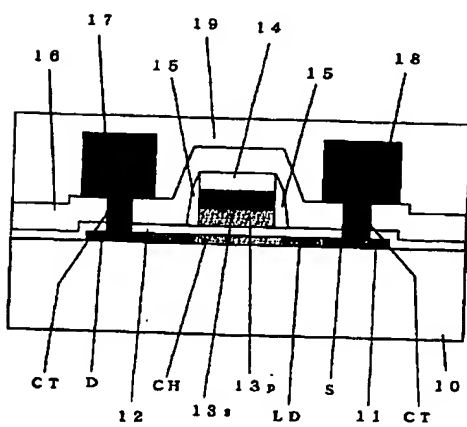
【図1】



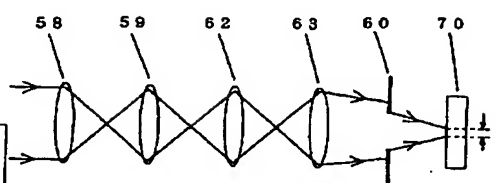
【図2】



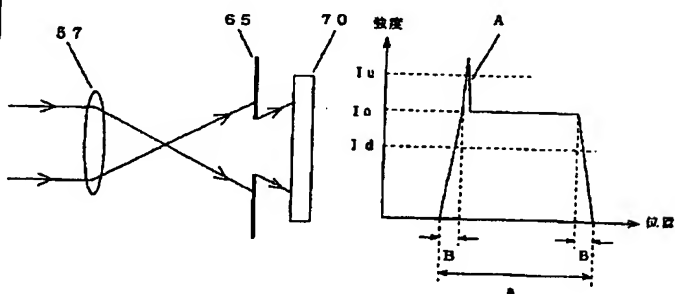
【図3】



【図5】

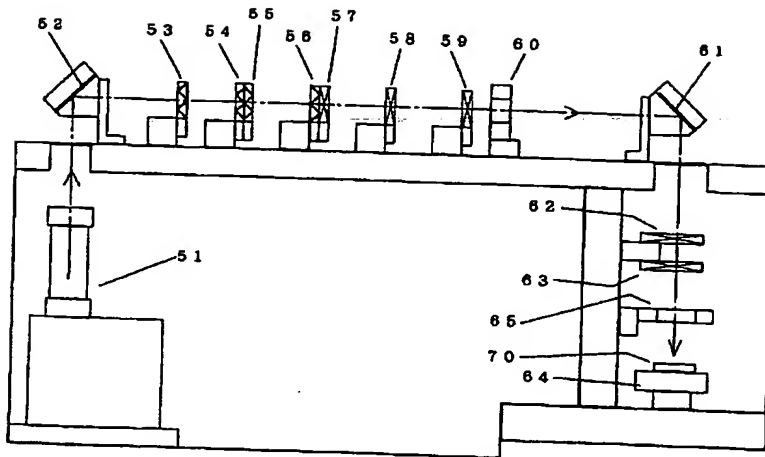


【図6】

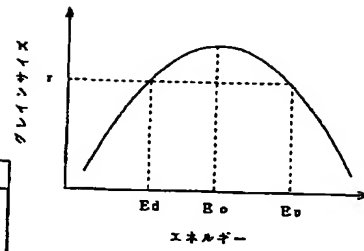


【図9】

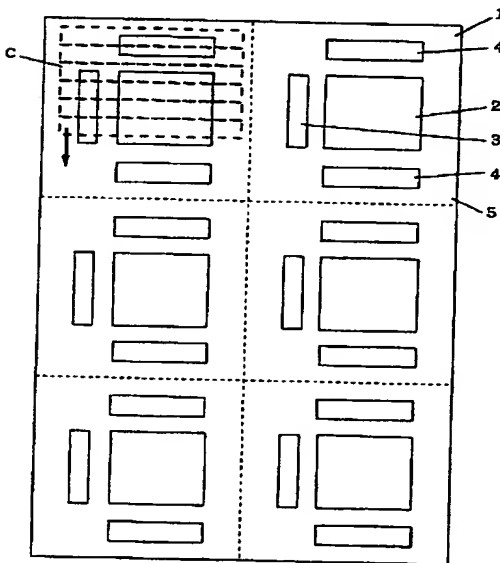
【図4】



【図10】



【図7】



【図8】

